



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0076578  
Application Number

출 원 년 월 일 : 2002년 12월 04일  
Date of Application DEC 04, 2002

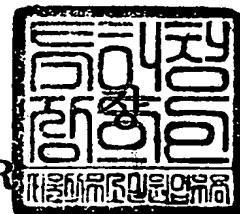
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 30 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【제출일자】	2002.12.04	
【발명의 명칭】	터너리 내용 번지 메모리 셀	
【발명의 영문명칭】	Ternary content addressable memory cell	
【출원인】		
【명칭】	삼성전자 주식회사	
【출원인코드】	1-1998-104271-3	
【대리인】		
【성명】	임창현	
【대리인코드】	9-1998-000386-5	
【포괄위임등록번호】	1999-007368-2	
【대리인】		
【성명】	권혁수	
【대리인코드】	9-1999-000370-4	
【포괄위임등록번호】	1999-056971-6	
【발명자】		
【성명의 국문표기】	정승호	
【성명의 영문표기】	JEUNG, SEONG HO	
【주민등록번호】	690610-1163125	
【우편번호】	442-470	
【주소】	경기도 수원시 팔달구 영통동 967-2 풍림아파트 603동 1202호	
【국적】	KR	
【심사청구】	청구	
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)	
【수수료】		
【기본출원료】	20	면 29,000 원
【가산출원료】	3	면 3,000 원

1020020076578

출력 일자: 2003/5/3

【우선권주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】			397,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

터너리 내용 번지 메모리(CAM) 셀이 개시된다. 본 발명의 터너리 CAM 셀은 메인 메모리 셀, 마스크 메모리 셀, 매치 라인, 마스크 회로 그리고 비교 회로를 포함한다. 메인 메모리 셀은 워드 라인에 인에이블되어 데이터를 저장하고, 마스크 메모리 셀은 워드 라인에 인에이블되어 마스크 데이터를 저장한다. 비트 라인쌍으로는 메인 메모리 셀로 또는 메인 메모리 셀로부터 전달되는 데이터가 실리고, 마스크 비트 라인쌍으로는 마스크 메모리 셀로 전달되는 마스크 데이터가 실리고, 비교 신호 라인쌍으로 비교 데이터가 실린다. 마스크 회로는 매치 라인과 마스크 메모리 셀에 연결되어 마스크 데이터를 수신한다. 비교 회로는 마스크 회로와 접지 라인 사이에 연결되고 비교 신호 라인쌍과 연결되는 한쌍의 트랜지스터들과 메인 메모리 셀의 데이터와 연결되는 한쌍의 매치 트랜지스터들을 포함한다. 따라서, 본 발명의 터너리 CAM 셀에 의하면 비교 데이터의 전압 레벨이 낮아지더라도 저전압 동작 특성이 우수하고 비교 신호 라인들의 커패시티브 로딩이 일정하게 유지되며 동작 사이클 횟수를 줄일 수 있다.

**【대표도】**

도 3

**【색인어】**

터너리 CAM 셀, 비교 회로, 마스크 회로

## 【명세서】

### 【발명의 명칭】

터너리 내용 번지 메모리 셀{Ternary content addressable memory cell}

### 【도면의 간단한 설명】

도 1은 종래의 터너리 CAM 셀의 일예를 나타내는 도면이다.

도 2는 종래의 터너리 CAM 셀의 다른 예를 나타내는 도면이다.

도 3은 본 발명의 제1 실시예에 따른 터너리 CAM 셀을 나타내는 도면이다.

도 4는 본 발명의 제2 실시예에 따른 터너리 CAM 셀을 나타내는 도면이다.

도 5는 본 발명의 제3 실시예에 따른 터너리 CAM 셀을 나타내는 도면이다.

도 6은 본 발명의 제4 실시예에 따른 터너리 CAM 셀을 나타내는 도면이다.

### 【발명의 상세한 설명】

#### 【발명의 목적】

##### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 내용 번지 메모리 장치에 관한 것으로, 특히 터너리 내용 번지 메모리 셀을 제공하는 데 있다.

<8> 내용 번지 메모리(Content Addressable Memory: 이하 "CAM"이라고 칭한다) 장치는 특정의 어드레스에 있는 데이터를 검색하는 종래의 어드레스 기반의 랜덤 액세스 메모리와는 달리, CAM 어레이에 저장된 데이터와 특정 패턴의 비교 데이터(comparand data)와 비교하는 메모리 장치이다. 여기에서, 전체 CAM 어레이는 병렬로 비교 데이터와의 매치(match)를 찾는다. 만약 매치가 존재하면 CAM 장치는 매치 플래그(match flag)를 띄움으

로써 매치되었음을 나타낸다. 멀티플 매치 플래그(multiple match flag)를 뛰움으로써 멀티플 매치를 나타낸다. CAM 장치는 일반적으로 가장 높은 순위의 매칭 위치를 매치 어드레스(match address)나 CAM 인덱스(index)로 바꾸는 우선 엔코더(priority encoder)를 포함한다.

<9> 바이너리 CAM 셀들은 로직 하이 상태와 로직 로우 상태의 2가지 로직 상태를 저장한다. 바이너리 CAM 셀들은 메인 메모리 셀과 비교 회로를 포함한다. 비교 회로는 메인 메모리 셀에 저장된 데이터와 비교 데이터를 비교하고 일치하면 소정의 상태로 매치 라인을 구동한다. 터너리 CAM 셀들은 로직 하이 상태, 로직 로우 상태, 그리고 돈-케어(don't care) 상태의 3가지 로직 상태를 저장한다. 터너리 CAM 셀들은 전형적으로 메인 메모리 셀, 비교 회로, 그리고 마스크 데이터를 저장한 마스크 메모리 셀을 포함한다. 마스크 데이터는 메인 메모리 셀에 저장된 데이터와 비교 데이터를 비교한 결과를 마스킹하여 비교 결과가 매치 라인에 영향을 미치지 않도록 한다. 이에 따라 터너리 CAM 셀은 비교 데이터를 찾는 사용자로 하여금 입력 데이터의 유연성(flexibility)을 제공한다.

<10> 도 1은 미국 특허 제6,154,384호에 기재된 종래의 터너리 CAM 셀을 나타내는 도면이다. 도 1을 참조하면, 터너리 CAM 셀(200)은 메인 메모리 셀(202), 마스크 회로(206), 마스크 메모리 셀(208), 비교 회로(104), 그리고 프리차아지 회로(216)를 포함한다. 메인 메모리 셀(202)은 노드 219와 노드 221 사이에 하나의 출력이 다른 하나의 입력으로 서로 교차 연결된 두 인버터들(222, 224)을 포함하는 바이-스테이블(bi-stable) 메모리 회로이다. 노드 219는 데이터(D)를 저장하고 노드 221

은 상보 데이터(DB)를 저장한다. 메인 메모리 셀(202)는 메인 워드 라인(WL)의 로직 상태에 응답하여 노드 219와 노드 221을 비트 라인(BL)과 상보 비트 라인(BLB)과 각각 연결시키는 패스 트랜지스터들(218, 219)을 더 포함한다.

<11> 마스크 메모리 셀(208)은 메인 메모리 셀(202)과 마찬가지로 교차 연결된 두 인버터들(226, 228)을 포함하는 바이-스테이블 메모리 회로이다. 노드 229는 마스크 데이터(MD)를 저장하고 노드 231은 마스크 데이터(MD)와 논리적으로 상보된 상보 마스크 데이터(MDB)를 저장한다. 노드 229와 231은 마스크 워드 라인(MWL)의 로직 상태에 응답하는 패스 트랜지스터들(230, 232)을 통해 비트 라인(BL)과 상보 비트 라인(BLB)과 연결된다. 노드 231은 마스크 트랜지스터(206)의 게이트에 연결된다.

<12> 비교 회로(104)는 메인 메모리 셀(202)에 저장된 데이터와 비교 신호 라인들(CMP, CMPB) 상에 제공되는 비교 데이터를 비교한다. 비교 회로(104)는 비교 동작을 수행하기 위하여 트랜지스터들(110, 112, 114)을 포함한다. 110 트랜지스터는 그 소스가 상보 비교 신호 라인(CMPB)에 연결되고 그 드레인이 노드 111에 연결되고 그 게이트는 메인 메모리 셀(202)의 데이터(D)를 저장한 노드 219와 연결된다. 112 트랜지스터는 그 소스가 비교 신호 라인(CMP)에 연결되고 그 드레인이 노드 111에 연결되고 그 게이트는 메인 메모리 셀(202)의 상보 데이터(DB)를 저장한 노드 221과 연결된다. 114 트랜지스터는 매치 트랜지스터로써, 비교 데이터와 메인 메모리 셀에 저장된 데이터가 같은 경우 마스크 트랜지스터(206)가 비교 결과를 마스킹하지 않는 이상 매치 라인은 로직 로우레벨로 떨어진다.

<13> 그런데, 도 1의 CAM 장치(200)는 다음과 같은 문제점을 지닌다. 첫번째로, 저전압 특성이 나빠진다. 왜냐하면, 비교 회로(104)의 110 및 112 트랜지스터들이 엔모스 트랜

지스터들로 구성되어 있기 때문에, 엔모스 트랜지스터의 문턱 전압 강하로 인하여 비교 신호 라인들(CMP, CMPB) 상의 VDD 전압 레벨이 노드 111로 완전히(fully) 전달되지 않는다. 두번째로, 메인 메모리 셀(202)에 저장된 데이터 상태에 따라 비교 신호 라인들 (CMP, CMPB) 각각의 커패시티브 로딩(capacitive loading)이 다르게 나타날 수 있다. 즉, 메인 메모리 셀(202)의 D에 "1"이 저장되면 110 트랜지스터가 터온된다. 110 트랜지스터는 비교 신호 라인(CMP)의 커패시티브 로딩과 관련이 있고 112 트랜지스터는 상보 비교 신호 라인(CMPB)과 관련이 있다. 메인 메모리 셀들(202)에 똑같은 데이터들이 저장되면 비교 신호 라인들(CMP, CMPB)의 커패시티브 로딩은 더욱 큰 차이를 갖는다.

세번째로, 메인 워드 라인(WL)과 마스크 워드 라인(MWL)이 분리되어 있다. 비트 라인 (BL)과 상보 비트 라인(BLB)으로 메인 메모리 셀(202)의 데이터 전송과 마스크 메모리 셀(208)의 데이터 전송이 이루어진다. 메인 워드 라인과 마스크 워드 라인은 분리되어 있어야 하며, 메인 메모리 셀(202)과 마스크 메모리 셀(208)로의 데이터 전송을 위하여 각각의 인에이블 시간도 분리되어야 한다. 이는 데이터 기입 동작이 두번, 즉 한번은 메인 메모리 셀(202)로의 기입 동작을 위해, 그리고 또 한번은 마스크 메모리 셀들(208)을 위해 필요하다는 것을 의미하며 동작 사이클 시간이 길어지는 단점이 된다.

<14> 한편, 도 2의 터너리 CAM 셀(106)은 도 1과 동일한 구조를 갖는 메인 메모리 셀(102)와 마스크 메모리 셀(108)을 포함하고, 메인 메모리 셀(102)에 저장된 데이터와 서치(search) 데이터를 비교하는 매치 디텍터(match detector, 120)를 포함한다. 매치 디텍터(110)는 매치 라인(ML)과 접지 전압 사이에 /M, D, BL 라인과 /D, /BL 라인에 각각 게이팅되는 트랜지스터들(116, 50a, 52a, 50b, 52b)을 포함한다. 그런데, 이러한 터너리 CAM 셀(106)은 도 1의 터너리 CAM 셀과 마찬가지로, 메인 메모리 셀(102)은 메인 워드

라인(DWL)에 의해, 그리고 마스크 메모리 셀(108)은 마스크 워드 라인(MWL)에 의해 구동된다. 이는 분리된 메인 워드 라인(DWL)과 마스크 워드 라인(MWL)로 인하여 동작 사이클 시간이 길어지는 문제점을 지닌다.

<15> 그러므로, 저전압 동작 특성이 안정적이고 비교 신호 라인들(CMP, CMPB)의 커패시티브 로딩이 일정하며 동작 사이클 시간을 줄일 수 있는 터너리 CAM 장치가 요구된다.

#### 【발명이 이루고자 하는 기술적 과제】

<16> 본 발명의 목적은 저전압 동작 특성이 안정적이고 비교 신호 라인들의 커패시티브 로딩이 일정하며 동작 사이클 시간을 줄일 수 있는 터너리 CAM 장치를 제공하는 데 있다

#### 【발명의 구성 및 작용】

<17> 상기 목적을 달성하기 위하여, 본 발명의 터너리 CAM 셀은 워드 라인에 인에이블되어 데이터를 저장하는 메인 메모리 셀과, 워드 라인에 인에이블되어 마스크 데이터를 저장하는 마스크 메모리 셀과, 메인 메모리 셀로 또는 메인 메모리 셀로부터 데이터를 전달하는 비트 라인쌍과, 마스크 메모리 셀로 마스크 데이터를 전달하는 마스크 비트 라인쌍과, 비교 데이터를 전달하는 비교 신호 라인쌍과, 매치 라인과, 매치 라인과 마스크 메모리 셀에 연결되어 상기 마스크 데이터를 수신하는 마스크 회로와, 마스크 회로와 접지 라인 사이에 연결되고 비교 신호 라인쌍과 연결되는 한쌍의 트랜지스터들과 메인 메모리 셀의 데이터와 연결되는 한쌍의 매치 트랜지스터들을 포함하는 비교 회로를 구비한다.

<18> 따라서, 본 발명의 터너리 CAM 셀에 의하면, 비교 데이터의 전압 레벨이 낮아지더라도 저전압 동작 특성이 우수하고 비교 신호 라인들의 커패시티브 로딩이 일정하게 유지되며 동작 사이클 횟수를 줄일 수 있다.

<19> 이하, 본 발명은 도 3 내지 도 6을 참조하여 설명된다.

<20> 도 2는 본 발명의 일실시예에 따른 터너리 CAM 셀을 나타내는 도면이다. 이를 참조하면, 터너리 CAM 셀(100)은 마스크 메모리 셀(10), 마스크 회로(20), 비교 회로(30), 그리고 메인 메모리 셀(40)을 포함한다. 마스크 메모리 셀(40)은 노드 15와 노드 16 사이에 하나의 출력이 다른 하나의 입력으로 서로 교차 연결된 두 인버터들(11, 12)을 포함하는 바이-스테이블(bi-stable) 메모리 회로이다. 노드 15는 마스크 데이터(M)을 저장하고 노드 16은 상보 마스크 데이터(MB)를 저장한다. 마스크 메모리 셀(10)은 워드 라인(WL)의 로직 상태에 응답하여 노드 15와 노드 16을 마스크 비트 라인(MBL)과 상보 마스크 비트 라인(MBLB)과 각각 연결시키는 패스 트랜지스터들(13, 14)을 더 포함한다.

<21> 마스크 회로(20)는 매치 라인(ML)과 비교 회로(30)의 출력 사이에 연결되며 마스크 메모리 셀(10)의 마스크 데이터(M)에 응답하는 엔모스 트랜지스터(21)로 구성된다.

<22> 비교 회로(30)는 마스크 회로(20)와 메인 메모리 셀(40) 사이에 연결되는 제1 내지 제4 엔모스 트랜지스터들(31, 32, 33, 34)을 포함한다. 제1 엔모스 트랜지스터(31)와 제2 엔모스 트랜지스터(32)는 마스크 회로(21)의 엔모스 트랜지스터(21)와 접지 전압(GND) 사이에 직렬로 연결되고, 제1 엔모스 트랜지스터(31)는 상보 비교 신호 라인(CBLB)에 게이팅되고 제2 엔모스 트랜지스터(32)는 메인 메모리 셀(40)의 데이터(D)에 게이팅된다. 제3 및 제4 엔모스 트랜지스터(33, 34)는 마스크 회로(21)의 엔모스 트랜지스터(21)와 접지 전압(GND) 사이에 직렬로 연결되고, 제3 엔모스 트랜지스터(33)는 비교 신호 라인

(CBL)에 게이팅되고 제4 엔모스 트랜지스터(34)는 메인 메모리 셀(40)의 상보 데이터(DB)에 게이팅된다. 제1 및 제3 엔모스 트랜지스터(31, 33)는 비교 신호 라인쌍(CBLB, CBL)의 비교 데이터에 의해 동작된다. 제2 및 제4 엔모스 트랜지스터(32, 34)는 메인 메모리 셀(40)의 데이터와 상보 데이터(D, DB)에 의해 동작되는 매치 트랜지스터들이 된다.

<23> 메인 메모리 셀(40)은 노드 45와 노드 46 사이에 서로 교차 연결되는 두 인버터들(41, 42)을 포함하고, 노드 15에는 데이터(D)을 저장하고 노드 46에는 상보 데이터(DB)를 저장한다. 메인 메모리 셀(40)은 워드 라인(WL)의 로직 상태에 응답하여 노드 45와 노드 46을 데이터 비트 라인(DBL)과 상보 데이터 비트 라인(DBLB)과 각각 연결시키는 패스 트랜지스터들(43, 44)을 더 포함한다.

<24> 이와 같은 터너리 CAM 셀(100)은 다음과 같이 동작된다.

<25> 먼저, 메인 메모리 셀(40)로의 기입 동작에 의해 데이터(D) "0"과 상보 데이터(DB) "1"이 저장되어 있다고 가정하자. 그리고 매치 라인(ML), 마스크 비트 라인(MBL)과 상보 마스크 비트 라인(MBLB)은 전원 전압(VDD) 레벨로 프리차아지되어 있고 비교 신호 라인(CBL)과 상보 비교 신호 라인(CBLB)은 접지 전압(GND) 레벨로 프리차아지되어 있다.

<26> 마스크 비트 라인(MBL)으로 "0" 데이터를 입력하고 워드 라인(WL)이 인에이블되면, 마스크 메모리 셀(10)의 마스크 데이터(M)는 "0"으로 저장되고 상보 마스크 데이터(MB)는 "1"로 저장된다. 마스크 데이터(M) "0"에 응답하여 매치 회로(20)의 엔모스 트랜지스터(21)는 턴오프된다. 이에 따라 매치 라인(ML)은 프리차아지된 전원 전압(VDD) 레벨을 그대로 유지한다. 이는 마스크 데이터(M) 패턴에 상관없이 메인 메모리 셀(40) 데이터가 매치(match)되었다고 간주함을 의미한다. 이러한 데이터 매칭 방법은 일군의 데이터들,

예컨대 0 내지 15 까지의 데이터들을 찾을 경우에 사용되거나, 지문 인식과 같은 패턴 매칭 방식에 있어서 지문 센서가 지문 에지나 손 주변 섹터의 데이터처럼 불명확한 데이터들에 대하여 매치되었음으로 간주하는 경우에 사용된다.

<27> 이와 달리, 마스크 비트 라인(MBL)으로 "1" 데이터를 입력하고 워드 라인(WL)이 인에이블되면, 마스크 메모리 셀(10)의 마스크 데이터(M)는 "1"을 저장하고 상보 마스크 데이터(MB)는 "0"을 저장한다. 마스크 데이터(M) "1"은 비교 회로(30)의 결과를 마스킹하지 않겠다는 것을 의미한다. 마스크 데이터 "1"에 응답하여 매치 회로(20)의 엔모스 트랜지스터(21)가 턴온된다. 메인 메모리 셀(40)에 저장된 데이터(D)가 "0"인지를 찾기 위하여, 상보 비교 신호 라인(CBLB)은 프리차아지된 접지 전압(GND) 레벨에서 전원 전압(VDD) 레벨로 인가되고 비교 신호 라인(CBL)은 프리차아지된 접지 전압(GND) 레벨로 유지된다. 전원 전압(VDD)레벨의 상보 비교 신호 라인(CBLB)에 응답하여 비교 회로(30)의 제1 엔모스 트랜지스터(31)가 턴온되지만, 메인 메모리 셀(40)의 데이터(D) "0"에 응답하여 제2 엔모스 트랜지스터(32)가 턴오프된다. 그리고 비교 신호 라인(CBL)의 프리차아지된 접지 전압(GND) 레벨에 응답하여 제3 엔모스 트랜지스터(33)가 턴오프된다. 그러므로, 매치 회로(20)의 엔모스 트랜지스터(21)가 턴온되더라도 비교 회로(30) 내 제2 및 제3 엔모스 트랜지스터(32, 33)가 턴오프되기 때문에, 매치 라인(ML)은 프리차아지된 전원 전압(VDD) 레벨을 그대로 유지한다. 이는 메인 메모리 셀(40)에 저장된 데이터(D)가 "0"과 일치됨을 나타낸다.

<28> 한편, 메인 메모리 셀(40)에 저장된 데이터(D)가 "1"인지를 찾기 위하여, 비교 신호 라인(CBL)은 프리차아지된 접지 전압(GND) 레벨에서 전원 전압(VDD) 레벨로 인가되고 상보 비교 신호 라인(CBLB)은 프리차아지된 접지 전압(GND) 레벨로 유지된다. 상보 비

교 신호 라인(CBLB)의 프리차아지된 접지 전압(GND) 레벨에 응답하여 제1 엔모스 트랜지스터(31)가 터오프된다. 전원 전압(VDD)레벨의 비교 신호 라인(CBL)에 응답하여 비교 회로(30)의 제3 엔모스 트랜지스터(33)가 터온되고, 메인 메모리 셀(40)의 상보 데이터(DB) "1"에 응답하여 제4 엔모스 트랜지스터(34)가 터온된다. 그러므로, 마스크 데이터(M) "1"에 응답하여 매치 회로(20)의 엔모스 트랜지스터(21)가 터온되고 비교 회로(30)의 제3 및 제4 엔모스 트랜지스터(33, 34)가 터온되어 매치 라인(ML)은 접지 전압(GND) 레벨이 된다. 이는 메인 메모리 셀(40) 데이터(D)가 "1"과 일치하지 않음을 나타낸다.

<29> 이와 같은 본 발명의 터너리 CAM 셀(100)은 비교 회로(30) 내 제1 내지 제4 트랜지스터들(31, 32, 33, 34)이 저전압 동작 특성이 우수한 엔모스 트랜지스터로 구성되기 때문에, 터너리 CAM 셀(100)의 비교 신호 라인들(CBLB, CBL) 상의 비교 데이터의 전압 레벨이 낮아지더라도 그 동작은 안정적이다. 그리고 비교 신호 라인들(CBLB, CBL)과 메인 메모리 셀 데이터(D, DB) 간의 직접적인 경러가 형성되지 않기 때문에 비교 신호 라인들(CBLB, CBL)의 커패시티브 로딩이 항상 일정하게 유지된다. 또한, 메인 메모리 셀(40)과 연결되는 비트 라인들(BL, BLB)과 마스크 메모리 셀(10)과 연결되는 마스크 비트 라인들(MBL, MBLB)이 서로 분리되어 있고 메인 메모리 셀(40)과 마스크 메모리 셀(10)이 하나의 워드 라인(WL)에 연결되어 있기 때문에, 메인 메모리 셀(40)과 마스크 메모리 셀(10)로의 기입 동작과 읽기 동작이 동시에 이루어진다. 이에 따라 터너리 CAM 셀(100)의 동작 사이클을 줄일 수 있다.

<30> 본 발명은 도 3의 실시예에서 매치 회로(20)와 비교 회로(30)의 연결 관계를 조합하여 도 4, 도 5, 그리고 도 6과 같은 변형 연결이 가능함은 물론이다. 도 4, 도 5 그리

고 도 6의 동작은 앞서 설명한 도 3의 터너리 CAM 셀과 동일하므로, 설명의 중복을 피하기 위하여 구체적인 설명은 생략된다.

<31> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

#### 【발명의 효과】

<32> 상술한 본 발명의 터너리 CAM 셀에 의하면, 비교 데이터의 전압 레벨이 낮아지더라도 저전압 동작 특성이 우수하고 비교 신호 라인들의 커패시티브 로딩이 일정하게 유지되며 동작 사이클 횟수를 줄일 수 있다.

**【특허청구범위】****【청구항 1】**

워드 라인에 인에이블되어 데이터를 저장하는 메인 메모리 셀;

상기 워드 라인에 인에이블되어 마스크 데이터를 저장하는 마스크 메모리 셀;

상기 메인 메모리 셀로 또는 상기 메인 메모리 셀로부터 상기 데이터를 전달하는 비트 라인쌍;

상기 마스크 메모리 셀로 상기 마스크 데이터를 전달하는 마스크 비트 라인쌍;

비교 데이터를 전달하는 비교 신호 라인쌍;

매치 라인;

상기 매치 라인과 상기 마스크 메모리 셀에 연결되어 상기 마스크 데이터를 수신하는 마스크 회로; 및

상기 마스크 회로와 접지 라인 사이에 연결되고, 비교 신호 라인쌍과 연결되는 한쌍의 트랜지스터들과 상기 메인 메모리 셀의 데이터와 연결되는 한쌍의 매치 트랜지스터들을 포함하는 비교 회로를 구비하는 것을 특징으로 하는 터너리 내용 어드레스 메모리 (CAM) 셀.

**【청구항 2】**

제1항에 있어서, 상기 비교 회로는

그 드레인이 상기 마스크 회로와 연결되고 그 게이트가 상기 비교 데이터 라인과 연결되는 제1 엔도스 트랜지스터;

그 드레인이 상기 마스크 회로와 연결되고 그 게이트가 상보 비교 데이터 라인에 연결되는 제2 엔모스 트랜지스터;

그 드레인이 상기 제1 엔모스 트랜지스터 소스와 연결되고 그 게이트가 상기 메인 메모리 셀의 데이터와 연결되고 그 소스가 접지 전압에 연결되는 제1 매치 엔모스 트랜지스터; 및

그 드레인이 상기 제2 엔모스 트랜지스터 소스와 연결되고 그 게이트가 상기 메인 메모리 셀의 상보 데이터와 연결되고 그 소스가 접지 전압에 연결되는 제2 매치 엔모스 트랜지스터를 포함하는 것을 특징으로 하는 터너리 내용 어드레스 메모리(CAM) 셀.

### 【청구항 3】

제1항에 있어서, 상기 비교 회로는

그 드레인이 상기 마스크 회로와 연결되고 그 게이트가 상기 메인 메모리 셀의 데이터와 연결되는 제1 매치 엔모스 트랜지스터;

그 드레인이 상기 마스크 회로와 연결되고 그 게이트가 상기 메인 메모리 셀의 상보 데이터와 연결되는 제2 매치 엔모스 트랜지스터;

그 드레인이 상기 제1 엔모스 트랜지스터 소스와 연결되고 그 게이트가 상기 비교 신호 라인과 연결되고 그 소스가 접지 전압에 연결되는 제1 엔모스 트랜지스터; 및

그 드레인이 상기 제2 엔모스 트랜지스터 소스와 연결되고 그 게이트가 상보 비교 신호 라인과 연결되고 그 소스가 접지 전압에 연결되는 제2 엔모스 트랜지스터를 포함하는 것을 특징으로 하는 터너리 내용 어드레스 메모리(CAM) 셀.

**【청구항 4】**

제1항에 있어서, 상기 마스크 회로는

상기 매치 라인과 상기 비교 회로 사이에 연결되고 상기 마스크 데이터에 의해 게이팅되는 엔모스 트랜지스터인 것을 특징으로 하는 터너리 내용 어드레스 메모리(CAM)셀.

**【청구항 5】**

워드 라인에 인에이블되어 데이터를 저장하는 메인 메모리 셀;

상기 워드 라인에 인에이블되어 마스크 데이터를 저장하는 마스크 메모리 셀;

상기 메인 메모리 셀로 또는 상기 메인 메모리 셀로부터 상기 데이터를 전달하는 비트 라인쌍;

상기 마스크 메모리 셀로 상기 마스크 데이터를 전달하는 마스크 비트 라인쌍;

비교 데이터를 전달하는 비교 신호 라인쌍;

매치 라인;

상기 마스크 메모리 셀에 연결되어 상기 마스크 데이터를 수신하는 마스크 회로;

및

상기 매치 라인과 마스크 회로 사이에 연결되고, 비교 신호 라인쌍과 연결되는 한 쌍의 트랜지스터들과 상기 메인 메모리 셀의 데이터와 연결되는 매치 트랜지스터들을 포함하는 비교 회로를 구비하는 것을 특징으로 하는 터너리 내용 어드레스 메모리(CAM)셀.

**【청구항 6】**

제5항에 있어서, 상기 비교 회로는

그 드레인이 상기 매치 라인과 연결되고 그 게이트가 상기 비교 데이터 라인과 연결되는 제1 엔모스 트랜지스터;

그 드레인이 상기 매치 라인과 연결되고 그 게이트가 상보 비교 데이터 라인에 연결되는 제2 엔모스 트랜지스터;

그 드레인이 상기 제1 엔모스 트랜지스터 소스와 연결되고 그 게이트가 상기 메인 메모리 셀의 데이터와 연결되는 제1 매치 엔모스 트랜지스터; 및

그 드레인이 상기 제2 엔모스 트랜지스터 소스와 연결되고 그 게이트가 상기 메인 메모리 셀의 상보 데이터와 연결되고 그 소스가 상기 제1 매치 트랜지스터의 소스와 연결되는 제2 매치 엔모스 트랜지스터를 포함하는 것을 특징으로 하는 터너리 내용 어드레스 메모리(CAM) 셀.

**【청구항 7】**

제5항에 있어서, 상기 비교 회로는

그 드레인이 상기 매치 라인과 연결되고 그 게이트가 상기 메인 메모리 셀의 데이터와 연결되는 제1 매치 엔모스 트랜지스터;

그 드레인이 상기 매치 라인과 연결되고 그 게이트가 상기 메인 메모리 셀의 상보 데이터와 연결되는 제2 매치 엔모스 트랜지스터;

그 드레인이 상기 제1 매치 엔모스 트랜지스터 소스와 연결되고 그 게이트가 상기 비교 신호 라인과 연결되는 제1 엔모스 트랜지스터; 및

그 드레인이 상기 제2 매치 엔모스 트랜지스터 소스와 연결되고 그 게이트가 상보 비교 신호 라인과 연결되고 그 소스가 상기 제1 엔모스 트랜지스터 소스와 연결되는 제2 엔모스 트랜지스터를 포함하는 것을 특징으로 하는 터너리 내용 어드레스 메모리(CAM) 셀.

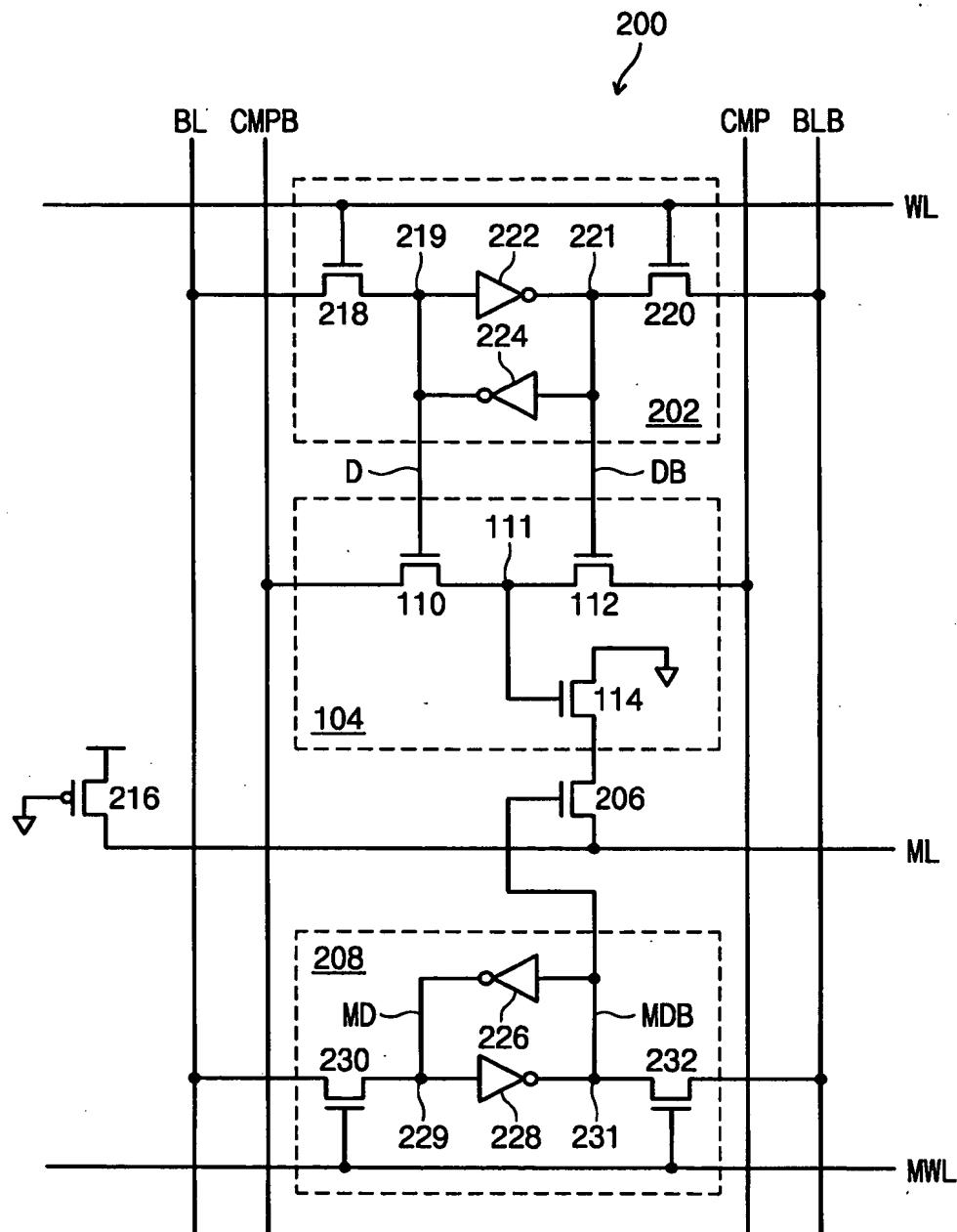
#### 【청구항 8】

제1항에 있어서, 상기 마스크 회로는  
상기 비교 회로와 접지 전압 사이에 연결되고 상기 마스크 테이터에 의해 게이팅되  
는 엔모스 트랜지스터인 것을 특징으로 하는 터너리 내용 어드레스 메모리(CAM) 셀.

## 【도면】

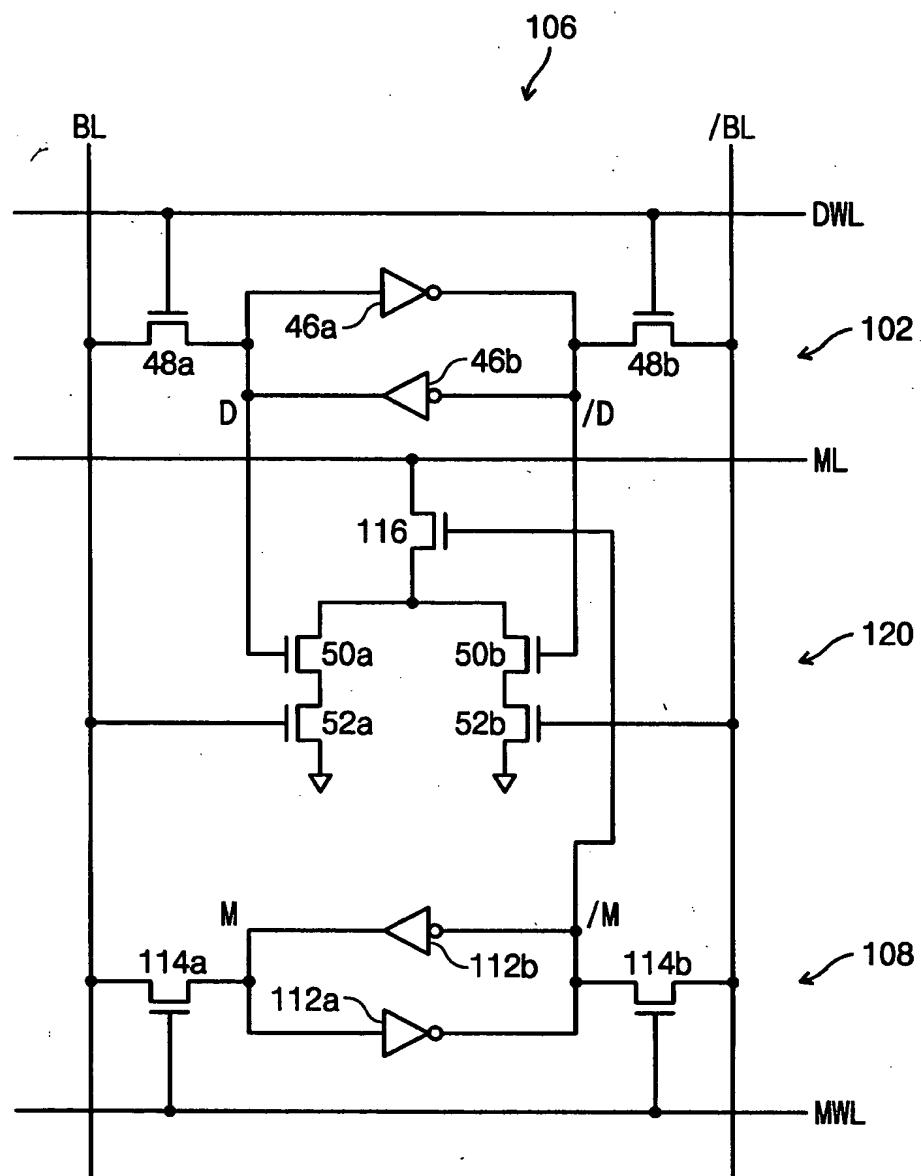
【도 1】

(종래 기술)

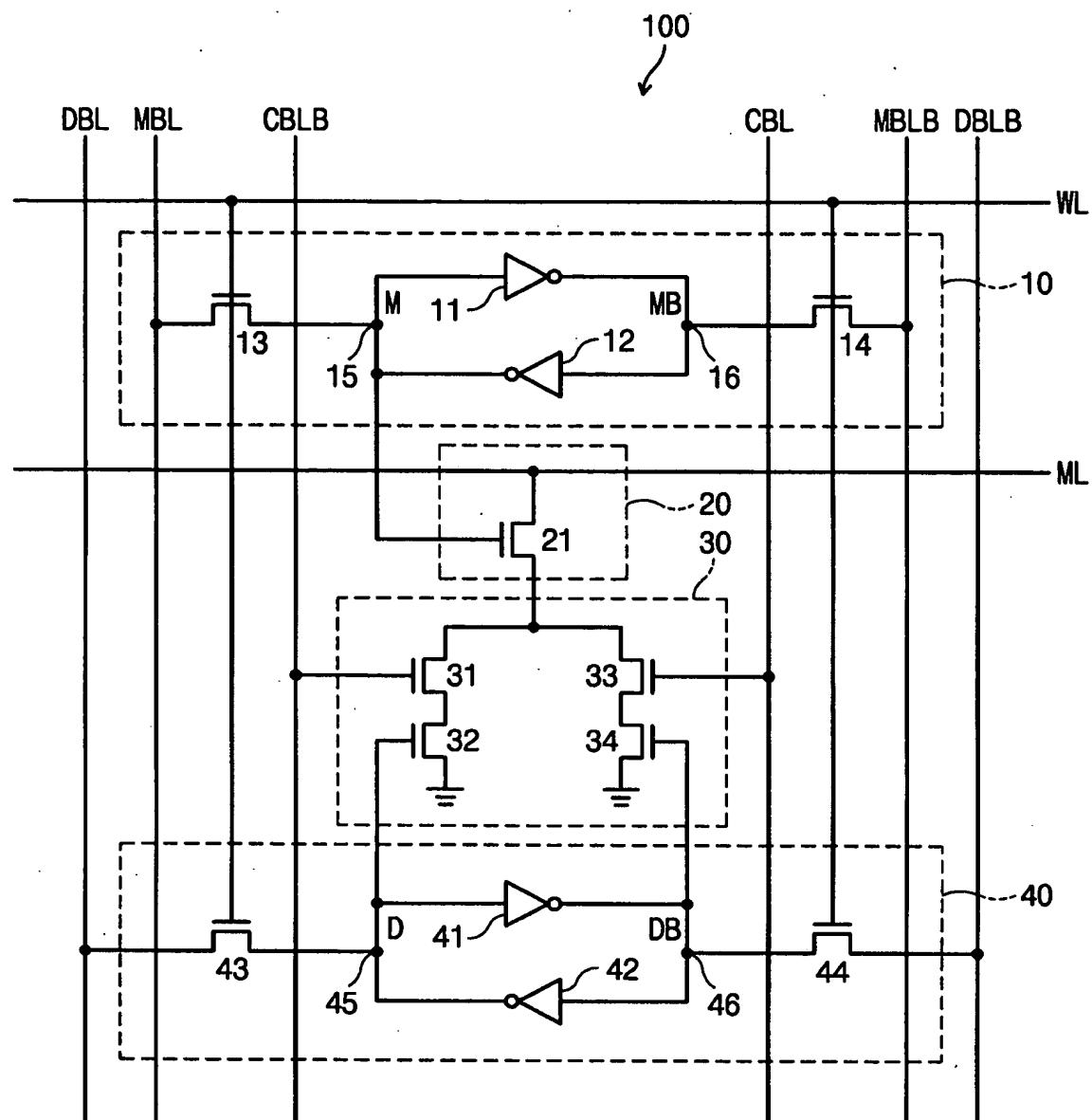


【도 2】

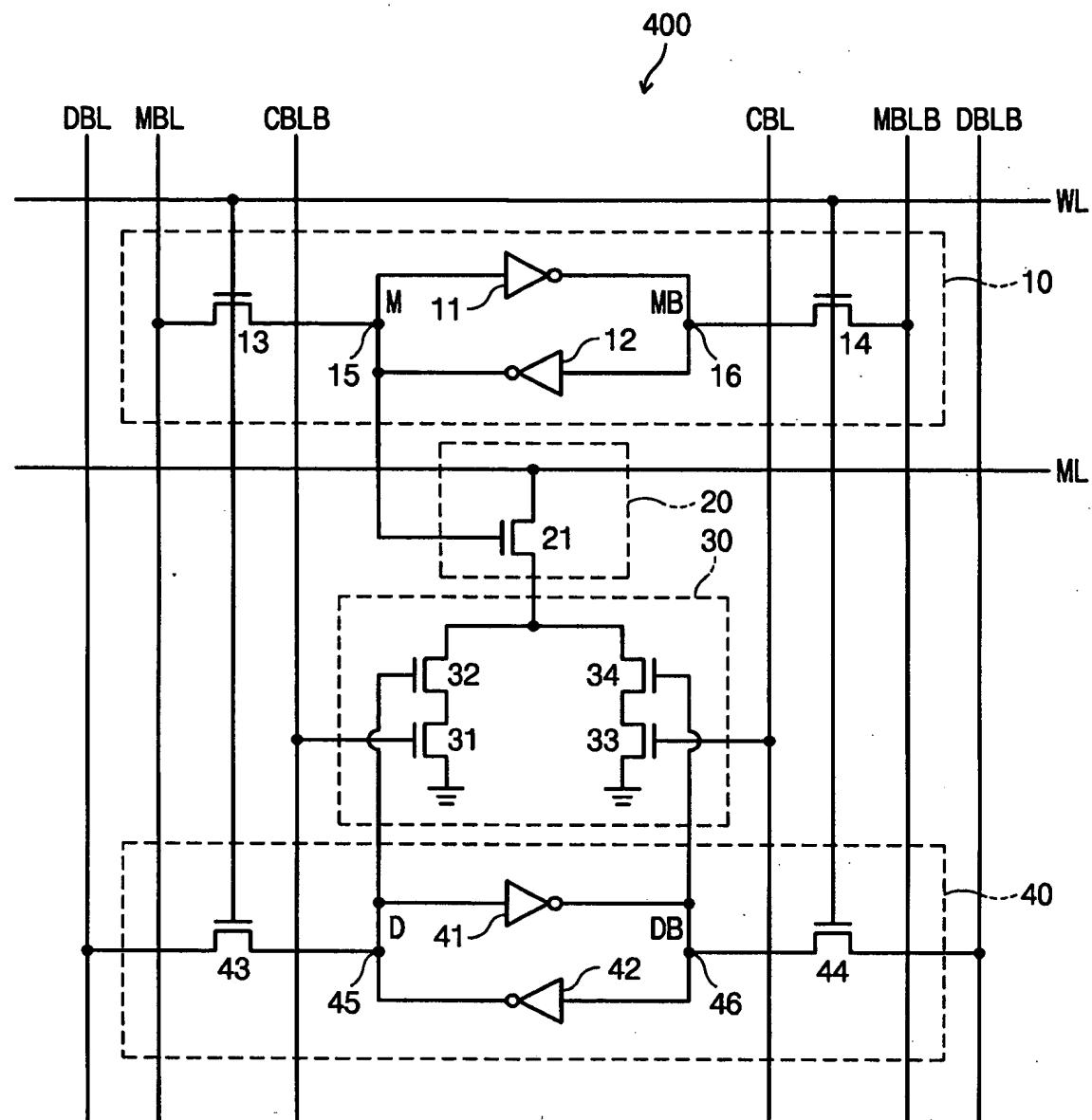
(종래 기술)



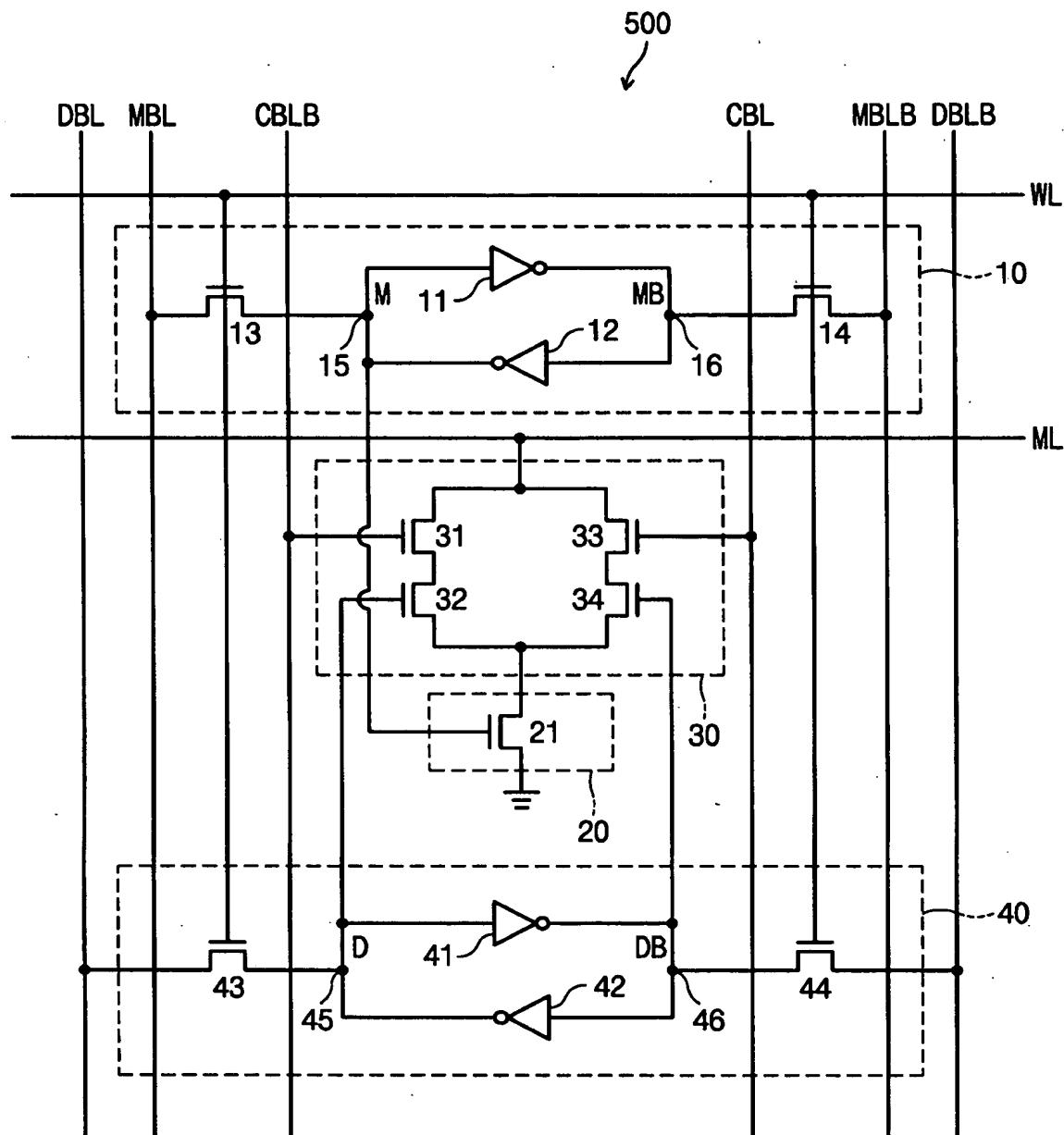
【도 3】



【도 4】



【도 5】



【도 6】

